



Docket No.: 61282-045

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of	:	Customer Number: 20277
Noriko MIZUKOSHI	:	Confirmation Number: 5634
Serial No.: 10/716,876	:	Group Art Unit: 2818
Filed: November 20, 2003	:	Examiner:
For: MEMORY TROUBLE RELIEF CIRCUIT	:	

TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENTS

Mail Stop Patent Application
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

At the time the above application was filed, priority was claimed based on the following applications:

Japanese Patent Application No. 2002-336566, filed November 20, 2002
and
Japanese Patent Application No. 2003-372027, filed October 31, 2003

A copy of each priority application listed above is enclosed.

Respectfully submitted,

MCDERMOTT, WILL & EMERY


Michael E. Fogarty
Registration No. 36,139

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 MEF:prg
Facsimile: (202) 756-8087
Date: April 20, 2004

日 本 国 特 許 庁
JAPAN PATENT OFFICE

61282-045
Mizukoshi
Nov. 20, 2003
10/716,876
McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 1 1 月 2 0 日
Date of Application:

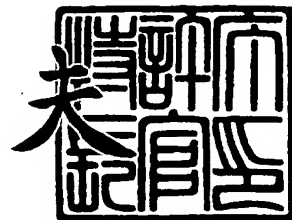
出 願 番 号 特 願 2 0 0 2 - 3 3 6 5 6 6
Application Number:
[ST. 10/C]: [J P 2 0 0 2 - 3 3 6 5 6 6]

出 願 人 松 下 電 器 産 業 株 式 会 社
Applicant(s):

2 0 0 3 年 9 月 2 4 日

特 許 庁 長 官
Commissioner,
Japan Patent Office

今 井 康 夫



出 証 番 号 出 証 特 2 0 0 3 - 3 0 7 8 1 9 4

【書類名】 特許願

【整理番号】 5037940128

【提出日】 平成14年11月20日

【あて先】 特許庁長官殿

【国際特許分類】 G11C 29/00 663

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社
会社内

【氏名】 水越 典子

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100105647

【弁理士】

【氏名又は名称】 小栗 昌平

【電話番号】 03-5561-3990

【選任した代理人】

【識別番号】 100105474

【弁理士】

【氏名又は名称】 本多 弘徳

【電話番号】 03-5561-3990

【選任した代理人】

【識別番号】 100108589

【弁理士】

【氏名又は名称】 市川 利光

【電話番号】 03-5561-3990

【選任した代理人】

【識別番号】 100115107

【弁理士】

【氏名又は名称】 高松 猛

【電話番号】 03-5561-3990

【選任した代理人】

【識別番号】 100090343

【弁理士】

【氏名又は名称】 栗宇 百合子

【電話番号】 03-5561-3990

【手数料の表示】

【予納台帳番号】 092740

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0002926

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 メモリ故障救済回路

【特許請求の範囲】

【請求項 1】 メモリを有する半導体集積回路のメモリ故障を救済するメモリ故障救済回路において、

前記メモリを診断し、診断結果を外部の電源制御回路へ出力する自己診断回路と、診断結果に基づいて前記メモリの欠陥個所に置き換えられる冗長回路を有する冗長救済回路とを有し、前記冗長救済回路に対する電源供給が前記診断結果に基づいて作動する前記電源制御回路により前記半導体集積回路に対する電源供給から独立して制御されることを特徴とするメモリ故障救済回路。

【請求項 2】 メモリを有する半導体集積回路のメモリ故障を救済するメモリ故障救済回路において、

前記半導体集積回路の検査時の前記メモリの診断結果を予め保持する保持手段と、前記診断結果に基づいて前記メモリの欠陥個所に置き換えられる冗長回路を有する冗長救済回路とを有し、前記半導体集積回路の実使用時の前記冗長救済回路に対する電源供給が前記診断結果に基づいて作動する前記電源制御回路により前記半導体集積回路に対する電源供給から独立して制御されることを特徴とするメモリ故障救済回路。

【請求項 3】 前記冗長救済回路に対する電源が前記半導体集積回路とは異なる電源から供給されることを特徴とする請求項 1 または 2 記載のメモリ故障救済回路。

【請求項 4】 前記自己診断回路は、電源投入ごとに作動して得られる前記メモリの診断結果を前記電源制御回路へ出力することを特徴とする請求項 1 または 3 記載のメモリ故障救済回路。

【請求項 5】 前記メモリの欠陥個所との置き換えをヒューズ制御で行うことを特徴とする請求項 1 から 4 のいずれか一項記載のメモリ故障救済回路。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、メモリを有する半導体集積回路のメモリ故障を救済するメモリ故障救済回路に関する。

【0002】

【従来の技術】

従来、半導体加工の微細化に伴い、半導体記憶装置を含む半導体集積回路においては、記憶部の欠陥を救済するための冗長回路を併せ持っており、検査時に記憶部の欠陥が見つかった際には、冗長回路と置き換えることによって、半導体集積回路の歩留まり向上を実現してきた（特許文献1等）。

【0003】

【特許文献1】

特開平11-238393号公報

【0004】

【発明が解決しようとする課題】

しかしながら、従来の半導体記憶装置を含む半導体集積回路では、検査時に記憶部に欠陥がなかった場合でも未使用の冗長回路に電源が供給されるため、未使用の冗長回路において不要なリーク電流が発生してしまうという問題ある。

【0005】

本発明は、上記従来の問題点を解決するもので、未使用の冗長回路で発生するリーク電流を削減することができるメモリ故障救済回路を提供することを目的とする。

【0006】

【課題を解決するための手段】

上記目的を達成するために、請求項1に係る発明は、メモリを有する半導体集積回路のメモリ故障を救済するメモリ故障救済回路において、前記メモリを診断し、診断結果を外部の電源制御回路へ出力する自己診断回路と、診断結果に基づいて前記メモリの欠陥個所に置き換えられる冗長回路を有する冗長救済回路とを有し、前記冗長救済回路に対する電源供給が前記診断結果に基づいて作動する前記電源制御回路により前記半導体集積回路に対する電源供給から独立して制御されることを特徴とする。

【0007】

上記構成によれば、冗長救済回路に対する電源供給が自己診断結果に基づいて半導体集積回路に対する電源供給から独立して制御されるため、半導体集積回路の検査時にメモリ故障がなかった場合に、冗長救済回路への電源を供給しない制御を行うことにより未使用の冗長回路で発生するリーク電流を削減することができる。

【0008】

請求項2に係る発明は、メモリを有する半導体集積回路のメモリ故障を救済するメモリ故障救済回路において、前記半導体集積回路の検査時の前記メモリの診断結果を予め保持する保持手段と、前記診断結果に基づいて前記メモリの欠陥個所に置き換えられる冗長回路を有する冗長救済回路とを有し、前記半導体集積回路の実使用時の前記冗長救済回路に対する電源供給が前記診断結果に基づいて作動する前記電源制御回路により前記半導体集積回路に対する電源供給から独立して制御されることを特徴とする。

【0009】

上記構成によれば、冗長救済回路に対する電源供給が半導体集積回路の検査時に予め保持した診断結果を利用して半導体集積回路の実使用時に半導体集積回路に対する電源供給から独立して制御されるため、半導体集積回路の検査時にメモリ故障がなかった場合に、冗長救済回路への電源を供給しない制御を行うことにより未使用の冗長回路で発生するリーク電流を削減することができる。

【0010】

請求項3に係る発明は、前記冗長救済回路に対する電源が前記半導体集積回路とは異なる電源から供給されることを特徴とする。

【0011】

上記構成によれば、請求項1または2記載のメモリ故障救済回路において、冗長救済回路の電源と半導体集積回路の電源とを異ならせることで、冗長救済回路に対する電源制御が確実に行われる。

【0012】

請求項4に係る発明は、請求項1または3記載のメモリ故障救済回路において

、前記自己診断回路は、電源投入ごとに作動して得られる前記メモリの診断結果を前記電源制御回路へ出力することを特徴とする。

【0013】

上記構成によれば、電源投入時にのみ診断結果に基づく電源制御を行うだけで、それ以降は通常どおりに使用することができる。

【0014】

請求項5に係る発明は、請求項1から4のいずれか一項記載のメモリ故障救済回路において、前記メモリの欠陥個所との置き換えをヒューズ制御で行うことを特徴とする。

【0015】

上記構成によれば、ヒューズ制御を利用することでメモリの欠陥個所を冗長回路で確実に置き換えることができる。

【0016】

【発明の実施の形態】

以下、本発明の実施の形態について図面を参照して説明する。

（実施の形態1）

図1は、本発明の実施の形態1のメモリ故障救済回路の構成を示すブロック図である。図1において、メモリ故障救済回路は、実機能を実現しているロジック回路1と、ロジック回路1が使用するメモリ部2と、メモリ部2の故障の有無を判定する自己診断回路3と、自己診断回路3の判定結果からヒューズ制御等によりメモリ部2の欠陥個所との置き換えを行う冗長回路4と、ロジック回路1が指定するメモリのアドレスと自己診断回路3から出力される判定結果（欠陥箇所を示すアドレス）とを比較する比較器5と、比較器5の比較結果からメモリ部2に欠陥個所がある場合に、ロジック回路1の冗長回路4へのアクセスを可能とするセクタ6とを備える。

【0017】

ロジック回路1、メモリ部2、自己診断回路3およびセクタ6を有する半導体集積回路には電源（1）が供給され、冗長回路4および比較器5を有する冗長救済回路には電源（2）が供給される。電源制御回路10は、自己診断回路3の

判定結果に基づき電源（１）、（２）の供給を制御する。

【0018】

図２はメモリ故障救済回路に対する電源制御の動作フローを示している。電源が投入されると、自己診断回路３が作動してメモリ部２の自己診断を行う。（Ｓ１０）。自己診断結果を判断し（Ｓ１１）、メモリ故障無しの診断結果が出力されると、電源制御回路１０が電源（２）をＯＦＦにする（Ｓ１２）。メモリ故障有りの診断結果が出力されると、冗長回路４がその診断結果を保存する（Ｓ１３）。次いで、電源制御回路１０が電源（２）をＯＮにする（Ｓ１４）。自己診断の結果は、電源が投入されている間継続して保持されるので、電源投入時に一度自己診断回路３を作動させれば、その後、電源（２）の制御が行われることはない。

【0019】

実施の形態１によれば、半導体集積回路と冗長救済回路の電源を別系統としておき、検査時に半導体集積回路のメモリ部に欠陥がなかった場合には冗長救済回路への電源供給を行わないように制御することで、未使用の冗長回路によるリーク電流の発生を防止することができる。

【0020】

（実施の形態２）

図３は、本発明の実施の形態２のメモリ故障救済回路の構成を示すブロック図である。なお、図１と同一部分には同一符号を付して説明する。図３において、メモリ故障救済回路は、ロジック回路１と、メモリ部２と、冗長回路４と、半導体集積回路の検査結果を保持するフラッシュメモリ９と、ロジック回路１が指定するアドレスとフラッシュメモリ９に記憶されている判定結果とを比較する比較器５と、比較器５の比較結果からメモリ部２に欠陥メモリセルがある場合にロジック回路１の冗長回路４へのアクセスを可能とするセクタ６とを備える。

【0021】

ロジック回路１、メモリ部２およびセクタ６を有する半導体集積回路には電源（１）が供給され、冗長回路４および比較器５を有する冗長救済回路には電源（２）が供給される。電源制御回路１０は、フラッシュメモリ９に保持されてい

るメモリ評価結果に基づき電源（１）、（２）の供給を制御する。

【0022】

図４はメモリ故障救済回路に対する電源制御の動作フローを示している。動作フローは、半導体検査工程と実使用とに大きく分けることが可能である。半導体検査工程において、メモリ部２のテストを行い（Ｓ２０）、メモリ欠陥故障の有無とメモリ故障箇所についての検査結果をフラッシュメモリ９に格納させる（Ｓ２１）。実使用時において、フラッシュメモリ９に格納されているメモリ欠陥故障の有無を用いて、検査結果を判定し（Ｓ２２）、メモリ欠陥故障があれば電源制御回路１０が電源（２）をＯＮにする（Ｓ２３）。メモリ欠陥故障がなければ電源制御回路１０が電源（２）をＯＦＦにする（Ｓ２４）。

【0023】

実施の形態２によれば、半導体集積回路と冗長救済回路の電源を別系統としておき、検査時におけるメモリ部の欠陥故障の有無をフラッシュメモリに記憶させておき、実使用時にメモリ部の欠陥故障の有無によって冗長回路の電源供給を行わないように制御することで、未使用の冗長回路によるリーク電流の発生を防止することができる。

【0024】

【発明の効果】

以上説明したように本発明によれば、冗長救済回路に対する電源供給が半導体集積回路に対する電源供給から独立して制御されるため、メモリ故障がなかった場合に冗長救済回路への電源を供給しない制御を行うことで未使用の冗長回路で発生するリーク電流を削減することができる。

【図面の簡単な説明】

【図１】

本発明の実施の形態１のメモリ故障救済回路の構成を示す図。

【図２】

実施の形態１のメモリ故障救済回路に対する電源制御の動作フローを示す図。

【図３】

本発明の実施の形態２のメモリ故障救済回路の構成を示す図。

【図 4】

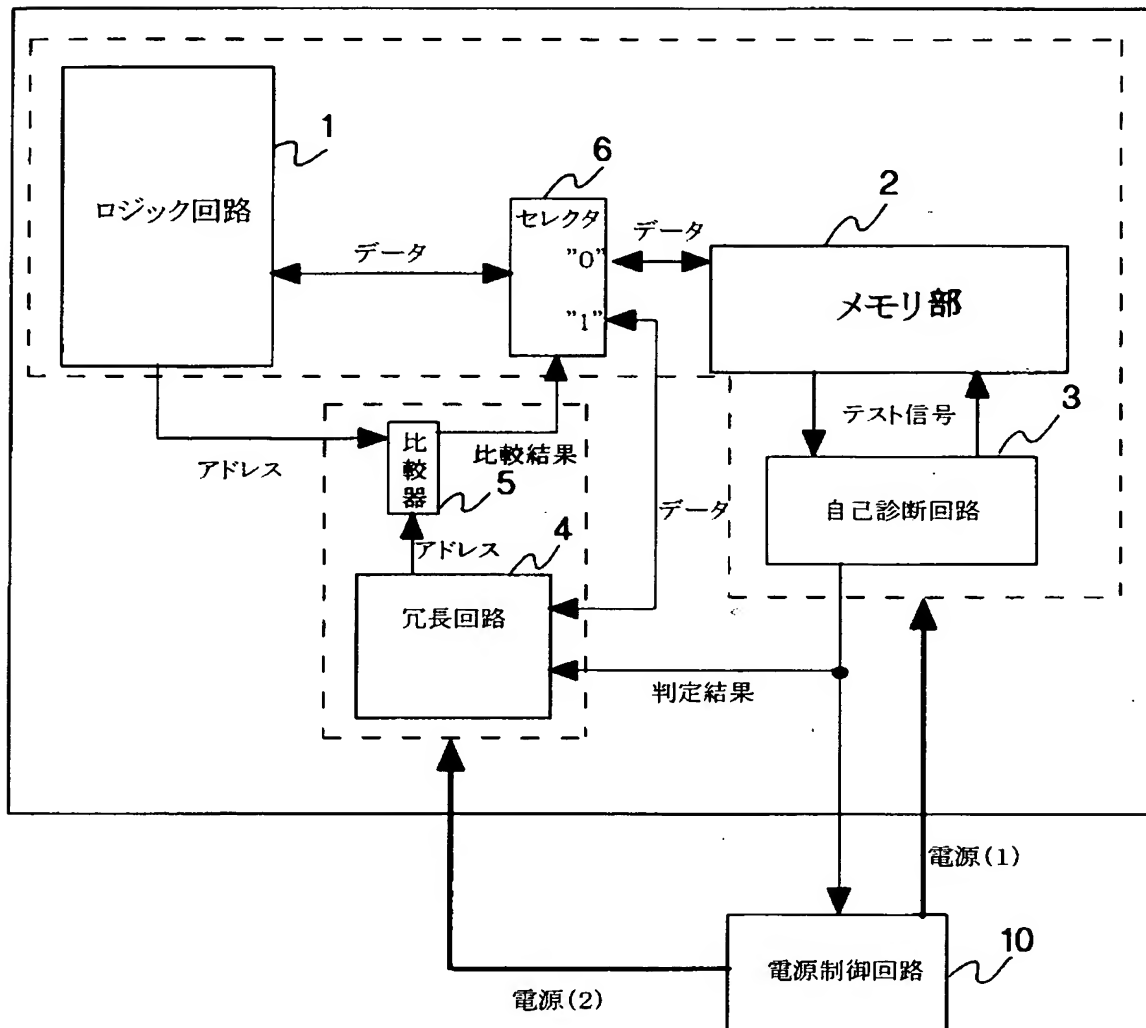
実施の形態 2 のメモリ故障救済回路に対する電源制御の動作フローを示す図。

【符号の説明】

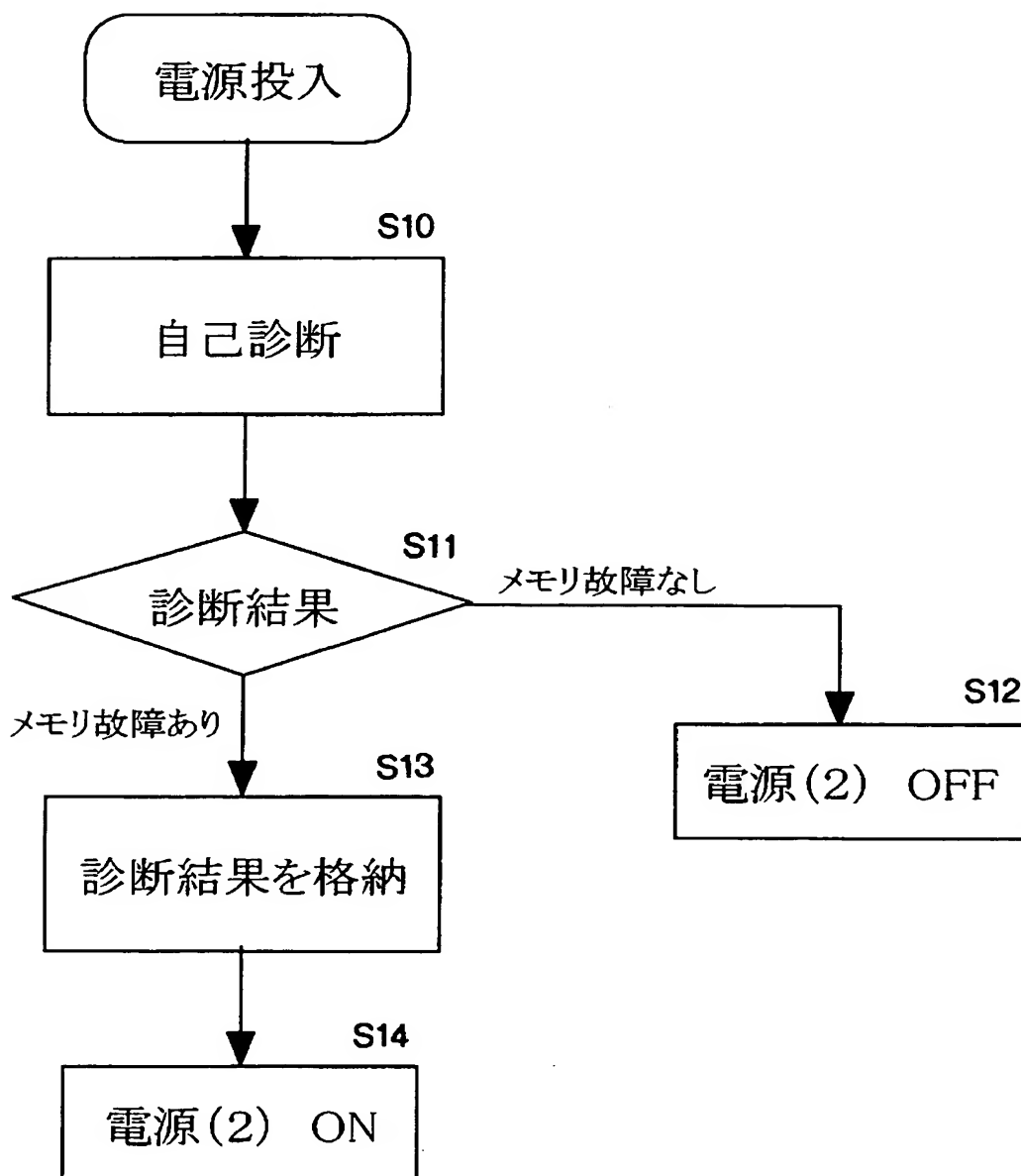
- 1 ロジック回路
- 2 メモリ部
- 3 自己診断回路
- 4 冗長回路
- 5 比較器
- 6 セレクタ
- 7 フラッシュメモリ
- 10 電源制御回路

【書類名】 図面

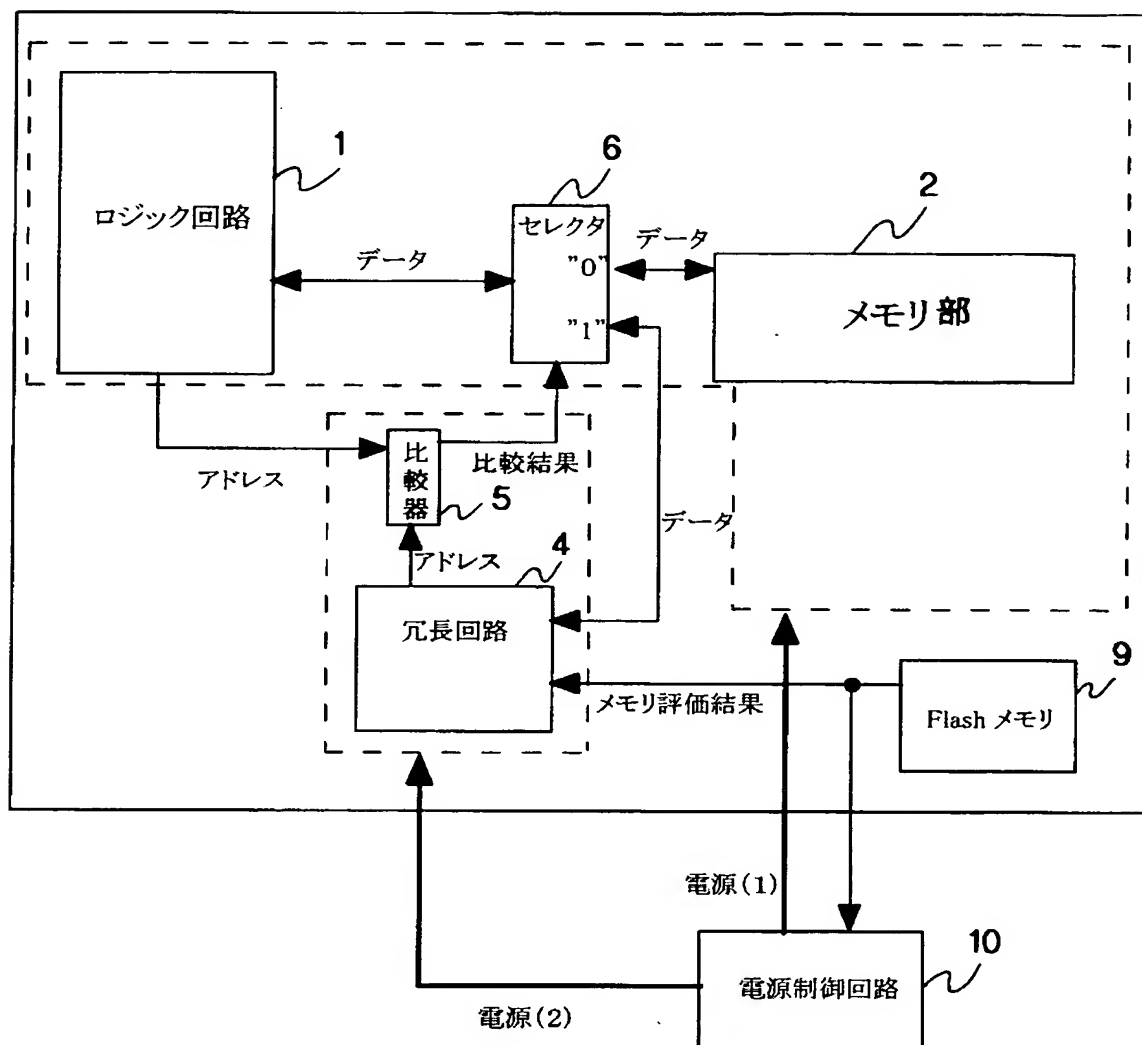
【図 1】



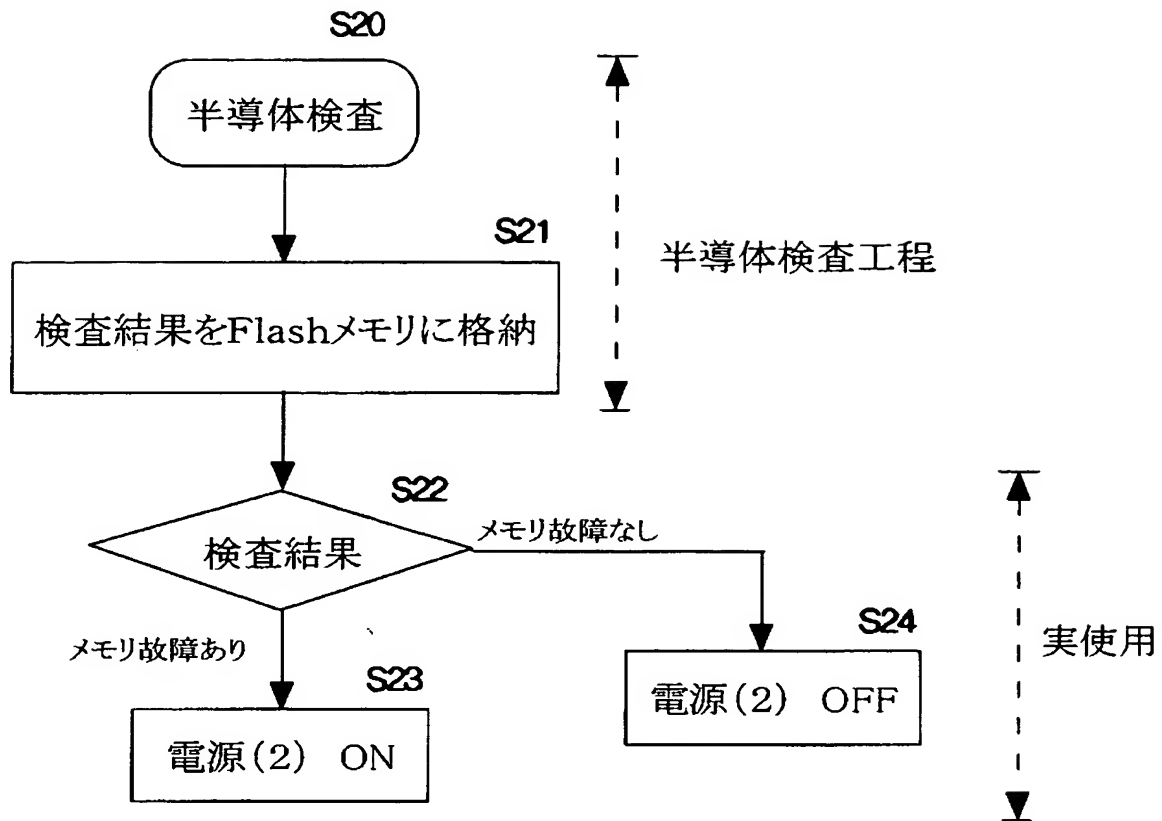
【図 2】



【図 3】



【図 4】



【書類名】 要約書

【要約】

【課題】 未使用の冗長回路で発生するリーク電流を削減する。

【解決手段】 メモリ部 2 を診断し、診断結果を外部の電源制御回路へ出力する自己診断回路 3 と、診断結果に基づいてメモリ部 2 の欠陥個所に置き換えられる冗長回路 4 を有する冗長救済回路とを有し、冗長救済回路に対する電源供給が診断結果に基づいて作動する電源制御回路 1 0 により半導体集積回路に対する電源供給から独立して制御される。

【選択図】 図 1

特願 2 0 0 2 - 3 3 6 5 6 6

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 8 2 1]

1 . 変更年月日

1 9 9 0 年 8 月 2 8 日

[変更理由]

新規登録

住 所

大阪府門真市大字門真 1 0 0 6 番地

氏 名

松下電器産業株式会社